

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-085704

(43)Date of publication of application : 30.03.2001

(51)Int.Cl.

H01L 29/872

(21)Application number : 11-260416

(71)Applicant : HITACHI LTD  
KANSAI ELECTRIC POWER CO  
INC:THE

(22)Date of filing : 14.09.1999

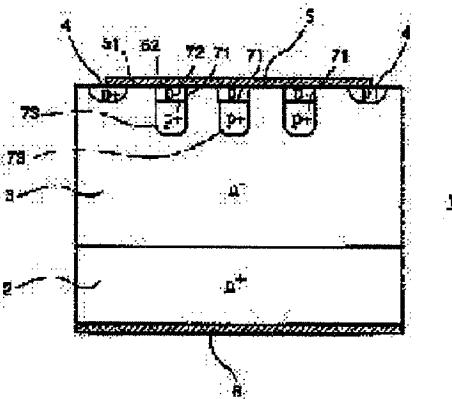
(72)Inventor : SAITO RYUICHI  
SUGAWARA YOSHITAKA  
ASANO KATSUNORI

## (54) SiC SCHOTTKY DIODE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain an SiC Schottky diode, where a recovery current is reduced by preventing the injection of minority carriers from an electric field strength relaxation layer.

**SOLUTION:** An SiC Schottky diode consists of an SiC semiconductor base substrate 1 of a first conductivity type, semiconductor layers 71, 73 of a second conductivity type, which are formed on one main surface of the SiC semiconductor base substrate so as to form a P-N junction with the SiC semiconductor base substrate at prescribed intervals, Schottky metal 5 which is in Schottky- contact with the one main surface of the SiC semiconductor base substrate, and a cathode electrode 6 which is in ohmic contact with the other main surface of the SiC semiconductor base substrate. In the above SiC Schottky diode, the contact surface of a semiconductor layer 72 of a second conductivity type with the Schottky metal 5 makes Schottky contact.



(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2001-85704

(P2001-85704A)

(43)公開日 平成13年3月30日 (2001.3.30)

(51)Int.Cl.<sup>7</sup>  
H 0 1 L 29/872

識別記号

F I  
H 0 1 L 29/48

マーク (参考)  
D 4 M 1 0 4

審査請求 未請求 請求項の数5 O L (全6頁)

(21)出願番号 特願平11-260416

(71)出願人 000005108

(22)出願日 平成11年9月14日 (1999.9.14)

株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地

(71)出願人 000156938

関西電力株式会社  
大阪府大阪市北区中之島3丁目3番22号

(72)発明者 斎藤 隆一

茨城県日立市大みか町七丁目1番1号 株  
式会社日立製作所日立研究所内

(74)代理人 100078134

弁理士 武 順次郎

最終頁に続く

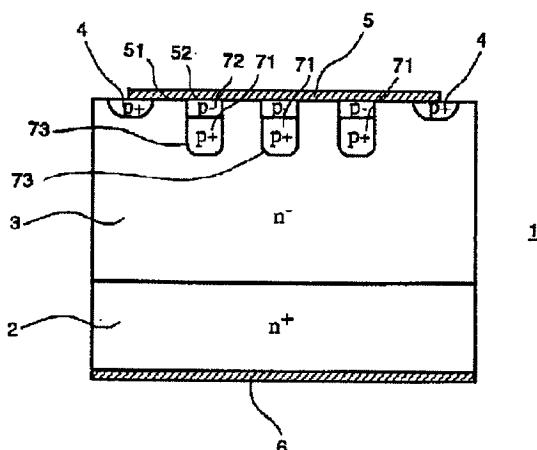
(54)【発明の名称】 SiCショットキーダイオード

(57)【要約】

【図1】

【課題】電界強度緩和層からの少数キャリアの注入を防止してリカバリー電流を低減したSiCショットキーダイオードを得る。

【解決手段】第1導電形のSiC半導体基体1と、前記SiC半導体基体の一方の主表面に所定間隔で前記SiC半導体基体とpn接合を形成するように形成した第2導電形の半導体層71, 73と、前記SiC半導体基体の一方の主表面とショットキー接觸するショットキー金属5と、前記SiC半導体基体の他方の主表面とオーム性接觸するカソード電極6からなるSiCショットキーダイオードにおいて、前記第2導電形の半導体層72と前記ショットキー金属5との接觸面はショットキー接觸である。



## 【特許請求の範囲】

【請求項1】 第1導電形のS i C半導体基体と、該S i C半導体基体の一方の主表面に所定間隔で前記S i C半導体基体とp n接合を形成するように形成した第2導電形の半導体層と、前記S i C半導体基体の前記一方の主表面とショットキー接觸するショットキー金属と、前記S i C半導体基体の他方の主表面とオーム性接觸するカソード電極からなるS i Cショットキーダイオードにおいて、前記第2導電形の半導体層と前記ショットキー金属との接觸面はショットキー接觸であることを特徴とするS i Cショットキーダイオード。

【請求項2】 第1導電形のS i C半導体基体と、該S i C半導体基体の一方の主表面に所定間隔で前記S i C半導体基体とp n接合を形成するように形成した第2導電形の半導体層と、前記S i C半導体基体の前記一方の主表面とショットキー接觸するショットキー金属と、前記S i C半導体基体の他方の主表面とオーム性接觸するカソード電極からなるS i Cショットキーダイオードにおいて、前記第2導電形の半導体層の前記ショットキー金属との接觸面の不純物濃度は低濃度であることを特徴とするS i Cショットキーダイオード。

【請求項3】 請求項1ないし請求項2の何れか1の記載において、前記第2導電形の半導体層の前記ショットキー金属との接觸面の不純物濃度は $1 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とするS i Cショットキーダイオード。

【請求項4】 請求項2の記載において、前記第2導電形の半導体層は、前記S i C半導体基体の一方の主表面に所定間隔で前記S i C半導体基体とp n接合を形成するように形成した第2導電形の第1半導体領域と、該第1半導体領域上に第1半導体領域を覆うように形成した第1半導体領域よりも低不純物濃度の第2半導体領域からなることを特徴とするS i Cショットキーダイオード。

【請求項5】 請求項4の記載において、前記第2半導体領域の不純物濃度は $1 \times 10^{17} / \text{cm}^3$ 以下であることを特徴とするS i Cショットキーダイオード。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明はS i Cショットキーダイオードにかかり、特に高耐圧、大電流容量のS i Cショットキーダイオードに関する。

## 【0002】

【従来の技術】 インバータ等の電力変換機器のスイッチ

ング周波数の高周波化に伴い、スイッチング素子およびスイッチング素子に並列接続する環流ダイオードあるいはフリーホイルダイオードの高速化が求められている。これらのダイオードは高電圧、大電流を低損失で整流することが必要であり、通常はp n接合ダイオードが用いられる。しかし、p n接合ダイオードは通電時に少数キャリアが蓄積され、この蓄積された少数キャリアはターンオフ時に発生する損失およびノイズの原因となり、前記変換装置の高周波化を阻害する要因となっている。

【0003】 リカバリー特性を改善したp n接合ダイオードは種々開発されているが、前記少数キャリアの注入を伴うp n接合ダイオードではリカバリー時の逆電流の低減には本質的な限界がある。

【0004】 このような問題に答える整流ダイオードとして、ショットキーダイオードが挙げられる。ショットキーダイオードは、半導体内部で電流を運ぶ単体が多数キャリアのみであり、通電時に少数キャリアの注入および蓄積がないため、ターンオフ時の逆電流をきわめて小さくすることができる。

【0005】 しかし、S i を基材とする従来のショットキーダイオードは通電時のオン抵抗が高く、発生損失が大きくなるため高電圧、大電流用の変換装置に適用することは困難である。さらに、電流密度がある程度以上に大きくなると、ショットキーダイオードであっても過剰キャリアが蓄積されてリカバリー電流が大きくなる。

【0006】 このような問題に答える基材として、S i Cが挙げられる。S i Cは絶縁破壊電圧がS i の約10倍と大きいため、ドリフト層（後述するn-型層93）の厚みおよび抵抗率をそれぞれ1/10以下に設定することができる。このため耐圧が同じであればS i Cショットキーダイオードのドリフト層の抵抗はS i の約1/300にすることができる。さらにバンドギャップ幅がS i の約3倍と広いため高電流密度の順方向電流が流れても少数キャリアは注入されない。このためリカバリー電流が流れることはない。

【0007】 しかしながら、前記S i Cを基材としたショットキーダイオードであっても、高温状態で逆耐電圧近くの高電圧を印加すると、漏れ電流が増加し発生損失が増大する。発生損失の増大が素子内で局部的に発生すると、部分的な熱暴走によって素子が破壊されることがある。

【0008】 このようなショットキーダイオードの逆方向漏れ電流を低減する技術として、Solid-State Electronics, Vol. 28, No. 11, pp. 1089 - 1093 (1985), B. J. Baliga著、が知られている。この論文にはS i を基材としたショットキーダイオードに適用したJunction-Barrier-Controlled Schottky (JBS) Rectifierと称する技術が示されている。

【0009】 図5は前記従来のショットキーダイオードの概略構成を示す断面図である。図において、91は半

導体基体、9 2 は高不純物濃度の n + 型層、9 3 は低不純物濃度の n - 型層であり、前記半導体基体 9 1 は高不純物濃度の n + 型層 9 2 および低不純物濃度の n - 型層 9 3 からなる。9 4 はショットキー電極 9 5 周縁部の電界集中を緩和するためのガードリングを形成する p + 型層、9 5 は n - 型層 9 3 表面にショットキー接觸するショットキー電極、9 6 は n + 型層 9 2 にオーム性接觸するカソード電極、9 8 は電界強度緩和層であり、電界緩和層 9 8 は n - 型層 9 3 とショットキー電極の接合部分に所定間隔で分散配置した p + 型層からなる。この層は逆電圧印加時に、それぞれの p + 型層 9 8 と n - 型層 9 3 により形成される p n 接合から n - 型層 9 3 に向かって拡がる空乏層が互いに重なる程度の間隔で配置する。9 5 1 は n - 型層 9 3 とショットキー電極 9 8 の接合部に形成されるショットキー障壁である。このように電界緩和層 9 8 を形成すると、ショットキー障壁 9 5 1 に印加される逆電圧の電界強度を緩和し、ショットキー障壁部分での漏れ電流を低減することができる。

## 【0010】

【発明が解決しようとする課題】前述のように、半導体基体を構成する n - 型層 9 3 とショットキー電極の接合部分に電界強度緩和層 9 8 を複数個形成することにより、ショットキー障壁部分での漏れ電流を低減し、逆電圧阻止特性を向上することができる。しかしながら、この技術は、直ちに SiC を基材としたショットキーダイオードに適用することはできない。

【0011】すなわち、ショットキー電極 9 5 にカソード電極 9 6 に対して正電位となる電圧を印加して前記ショットキー接合を順方向バイアスすると、ショットキー障壁 9 5 1 の部分では、多数キャリアの電子がショットキー障壁を越えて n - 層 9 3 からショットキー電極 9 5 へ流れで順方向電流が流れる。また、ショットキー電極 9 5 と P + 型層 9 8 が接觸する部分には、通常トンネル電流が流れる。このトンネル電流は P + 型層 9 8 と n - 層 9 3 からなる p n 接合を順方向にバイアスし、該 p n 接合を横切って流れるホール電流となる。このため、n - 層 9 3 内に少数キャリアであるホールが蓄積され、結果としてリカバリー電流の著しい増大を引き起こすことになる。

【0012】本発明は前記問題点に鑑みてなされたもので、電界強度緩和層からの少数キャリアの注入を防止してリカバリー電流を低減した SiC ショットキーダイオードを得る。

## 【0013】

【課題を解決するための手段】本発明は、上記の課題を解決するために次のような手段を採用した。

【0014】第 1 導電形の SiC 半導体基体と、該 SiC 半導体基体の一方の主表面に所定間隔で前記 SiC 半導体基体と p n 接合を形成するように形成した第 2 導電形の半導体層と、前記 SiC 半導体基体の前記一方の主

表面とショットキー接觸するショットキー金属と、前記 SiC 半導体基体の他方の主表面とオーム性接觸するカソード電極からなる SiC ショットキーダイオードにおいて、前記第 2 導電形の半導体層と前記ショットキー金属との接觸面はショットキー接觸であることを特徴とする。

【0015】また、第 1 導電形の SiC 半導体基体と、該 SiC 半導体基体の一方の主表面に所定間隔で前記 SiC 半導体基体と p n 接合を形成するように形成した第 2 導電形の半導体層と、前記 SiC 半導体基体の前記一方の主表面とショットキー接觸するショットキー金属と、前記 SiC 半導体基体の他方の主表面とオーム性接觸するカソード電極からなる SiC ショットキーダイオードにおいて、前記第 2 導電形の半導体層の前記ショットキー金属との接觸面の不純物濃度はは低濃度であることを特徴とする。

【0016】また、前記 SiC ショットキーダイオードにおいて、前記第 2 導電形の半導体層の前記ショットキー金属との接觸面の不純物濃度はは  $1 \times 10^{17} / \text{cm}^3$  以下であることを特徴とする。

【0017】また、前記 SiC ショットキーダイオードにおいて、前記第 2 導電形の半導体層は、前記 SiC 半導体基体の一方の主表面に所定間隔で前記 SiC 半導体基体と p n 接合を形成するように形成した第 2 導電形の第 1 半導体領域と、該第 1 半導体領域上に第 1 半導体領域を覆うように形成した第 1 半導体領域よりも低不純物濃度の第 2 半導体領域からなることを特徴とする。

【0018】また、前記 SiC ショットキーダイオードにおいて、前記第 2 半導体領域の不純物濃度は  $1 \times 10^{17} / \text{cm}^3$  以下であることを特徴とする。

## 【0019】

【発明の実施の形態】以下に本発明の実施形態を図 1 を用いて説明する。図 1 は本発明の実施形態にかかる SiC ショットキーダイオードを示す図である。図において、1 は平行平板状の SiC 半導体基体であり、n - 型層 3 および n + 型層 2 からなる。2 は不純物濃度略  $3 \times 10^{19} / \text{cm}^3$ 、厚さ略  $200 \mu \text{m}$  の低抵抗の n + 型層、3 は不純物濃度略  $1 \times 10^{16} / \text{cm}^3$ 、厚さ略  $12 \mu \text{m}$  の高抵抗の n - 型層、4 は n - 型層 3 のショットキー電極 5 周縁部に、ボロンをイオン注入して形成したイオン注入量略  $1 \times 10^{15} / \text{cm}^2$ 、深さ略  $0.5 \mu \text{m}$  の p + 型層である。p + 型 4 はショットキー電極 5 周縁部の電界集中を緩和するためのガードリングを構成する。なお、p + 型層 4 はショットキー電極 5 に低抵抗でオーム接觸する。図では p + 型層 4 を通常よく使われているガードリング構造で示したが、他の構造、例えばフィールドミッティングリング (F L R)、フィールドプレート (F P)、またはジャンクション・ターミネーション・エクステンション (J T E) などを用いることができる。

【0020】5はTi/A1(TiおよびA1からなる積層電極)あるいはPt等からなるショットキー電極、51はn-型層3とショットキー電極8の接合部に形成されるショットキー障壁であり、該ショットキー障壁51により整流作用が得られる。52はショットキー電極8と後述するp-型層72との接合部に形成されるショットキー障壁、6はn+型層2にオーム性接觸するカソード電極、71はボロンを注入して形成した深さ略1μm、幅略1μmの比較的高濃度のp型層であり、SiC半導体基体表面に所定間隔で前記SiC半導体基体1とpn接合を形成する。72はp+型層71上にショットキー金属5と接觸して形成したp-型層であり、p-型層72の不純物濃度は $1 \times 10^{17}/\text{cm}^3$ 以下である。73はp+型層71およびp-型層72とn-型層3間に形成されるpn接合である。

【0021】ショットキー電極5にカソード電極6に対して負の電位すなわち逆電圧を印加すると、電子の流れは前記ショットキー障壁51により阻止される。このときショットキー電極5の周縁部に設けたp+型層4はショットキー電極5の周縁部に掛かる電界集中を緩和して降伏電圧の低下を防止する。

【0022】逆方向電圧印加時において、空乏層はショットキー障壁51からn-型層3内に拡がる。同時に空乏層はpn接合73からも拡がる。逆電圧が略500Vにおいて、隣接するpn接合73から拡がる空乏層が重なる。逆電圧をさらに増加すると、空乏層はn-型層3内をn+型層2に向かって一様に拡がる。逆電圧が略1200Vにおいて空乏層の先端はn+型層2に達し、素子はパンチスルーにより降伏する。

【0023】ショットキー障壁に印加される逆方向電界は、はじめは逆電圧の増加とともに強くなるが、p+型層71から拡がる空乏層が重なる電圧(500V)以上の逆電圧ではこの部分のピンチオフ効果によってさらに高い電界が印加されることはない。このため、逆方向高電圧印加時のショットキー障壁における逆方向漏れ電流の増加を抑制することができる。

【0024】また、ショットキー障壁51に、ショットキー電極5がカソード電極6に対して正の電位すなわち順方向電圧を印加すると、ショットキー障壁電圧(略0.1ないし0.5V)を越えて電子がn-型層3からショットキー電極5に流れ、ショットキー電極5とカソード6間に導通する。

【0025】このとき、ショットキー電極5とp-型層72およびp+型層71間に通電すると、pn接合73が順方向バイアスされて、該pn接合73を介してn-型層3に向けてホールの注入が行われて、n-型層3に少数キャリアが蓄積する。

【0026】本実施形態においては、ショットキー電極5とp+型層71間にp-型層72を形成する。そしてp-型層72のショットキー電極と接する面の不純物濃

度は $1 \times 10^{17}/\text{cm}^3$ 以下とする。不純物濃度をこのように設定することにより、ショットキー電極5およびp-型層72間にショットキー障壁52を形成する。

【0027】ショットキー電極5およびn-型層3間に印加した前記順方向電圧、すなわちショットキー障壁51を順バイアスする順バイアス電圧は、前記ショットキー障壁52を逆バイアスする電圧である。また、ショットキー障壁52を形成するp-型層72の不純物濃度は十分低いので、逆バイアス状態での漏れ電流は少ない。

10 したがって、ショットキー障壁52部分の通電に起因するp+型層71からn-型層3へのホールの注入は抑制されて、少数キャリアの蓄積が抑制できる。

【0028】前述したように逆方向電圧印加時に、逆方向印加電圧増加とともにpn接合73から空乏層が順次拡大する。このとき、p+型層71の濃度は高いので、p+型層71内に拡がる空乏層少なく、空乏層の多くはn-型層3内に拡がる。隣接するpn接合73から拡がる空乏層が重なる電圧以上の逆電圧においては、この部分のピンチオフ効果によってショットキー障壁51にかかる電界強度を小さくして漏れ電流の増大を防止できることは前述の通りである。

【0029】図2は本発明の第2の実施形態にかかるSiCショットキーダイオードを示す図である。図において、74はp-型層であり、p+型層71上にショットキー電極5と接觸して形成する。p-型層74の不純物濃度は $1 \times 10^{17}/\text{cm}^3$ 以下である。また、p-型層74は前記p+型層71の表面を覆うように形成する。なお、図において図2に示される部分と同一部分については同一符号を付してその説明を省略する。

30 【0030】図に示すように、p-型層74は前記p+型層71の表面を覆うように形成するので、ショットキー電極5とp+型層73間に必ずp-型層74が介在することになる。したがって、ショットキー電極5とp+型層71は直接接觸しないため、ショットキー電極5からp+型層71に向かって直接流れるリーク電流を抑制することができ、リーク電流に基づくホールの注入を阻止することができる。

【0031】また、前記p-型層74はn-型層3の表面に形成するので、p-型層74の製作工程にエピタキ40 シャル成長法が適用できる。このためp-型層74の不純物濃度を高精度に制御することができる。

【0032】図3は本発明の第2の実施形態にかかるSiCショットキーダイオードの製作工程を示す図である。なお、図において図2に示される部分と同一部分については同一符号を付してその説明を省略する。

【0033】まず、図3(a)に示すように半導体基体1を用意する。図では半導体基体1を構成するn-型層3のみを示す。次に、図3(b)に示すように、n-型層3表面よりボロンを選択的にイオン注入してp+型層50 71を形成する。注入量は $1 \times 10^{15}/\text{cm}^2$ 、打ち込

みエネルギーは50keV、30keV、10keVの3段階で注入して、ボックス状の不純物濃度分布を得る。次いで略1500°Cでアニールを行って活性化処理する。次に図3(c)に示すように、ボロンをドーパントとしてエピタキシャル成長法により、濃度 $1 \times 10^{17} / \text{cm}^3$ 、厚み略0.2μmのp-型層74を形成する。次に図3(d)に示すように、前記p-型層74のp+型層71接する部分以外の部分を選択的に除去する。次に図3(e)に示すように、TiおよびAlを順次積層してTi/Alからなるショットキーデバイス5を形成する。

【0034】図4は本発明の第3の実施形態にかかるSiCショットキーデバイスを示す図である。図において72aはp+型層72のショットキーデバイスとの接触部分であり、該接触部分の不純物濃度は $1 \times 10^{17} / \text{cm}^3$ 以下である。このように接触部分72aの不純物濃度を設定することにより前記接触部分72aにショットキーデバイスとの接触を得ることができる。なお、図において図1に示される部分と同一部分については同一符号を付してその説明を省略する。前記p+型層72のショットキーデバイスとの接触部分72aの濃度分布は、p+型層72をボロンなどのイオン打ち込み法で形成する際に、低エネルギー、すなわちボロンが前記接触部分に止まる程度のエネルギーでの打ち込み量を調整することにより容易に得ることができる。

【0035】以上の説明では、半導体基体の導電型をn型として説明したが、前記各層の導電型を逆導電型に設定すれば、p型半導体基体においても同様に適用できる。

## 【0036】

【発明の効果】以上説明したように本発明によれば、逆方向漏れ電流を低減することができるとともにリカバリ電流を低減することができる。

## 【図面の簡単な説明】

【図1】本発明の第1の実施形態にかかるSiCショットキーデバイスを示す図である。

【図2】本発明の第2の実施形態にかかるSiCショットキーデバイスを示す図である。

【図3】本発明の第3の実施形態にかかるSiCショットキーデバイスの製作工程を示す図である。

【図4】本発明の第3の実施形態にかかるSiCショットキーデバイスを示す図である。

【図5】従来のショットキーデバイスを示す図である。

## 【符号の説明】

1 半導体基体

2 n+型層

3 n-型層

20 4 ガードリングを形成するp+型層

5 ショットキーデバイス

6 カソード電極

8 電界強度緩和層

51 ショットキーデバイス

71 p型層

72 p+型層

72a p+型層とショットキーデバイスの接触部分

73 p-n接合

【図1】

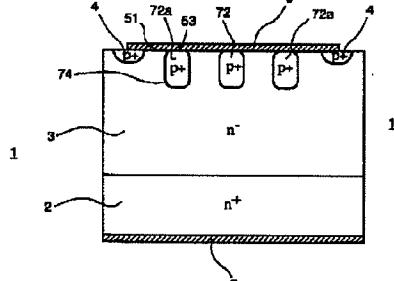
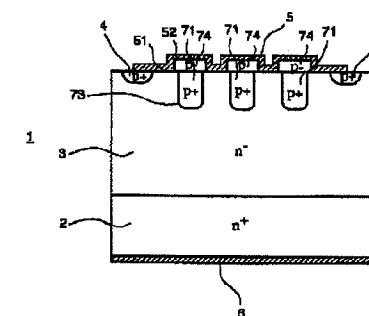
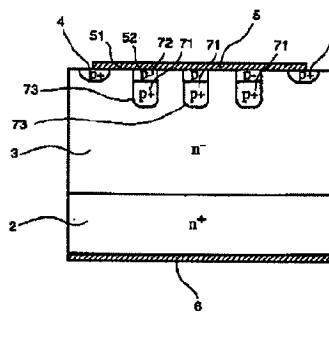
【図2】

【図4】

【図1】

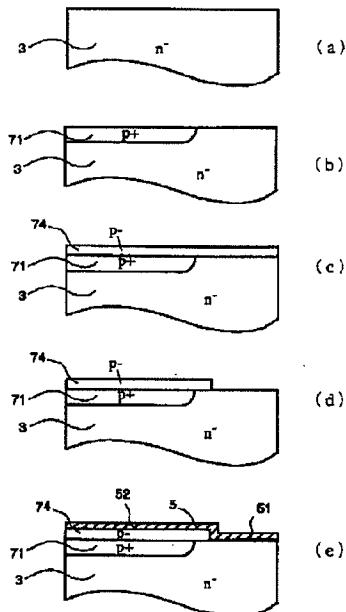
【図2】

【図4】



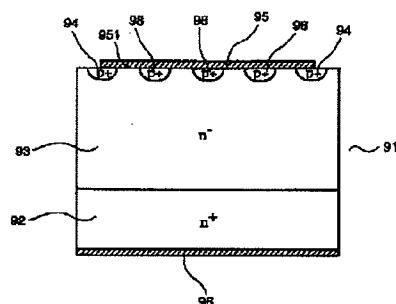
【図3】

【図8】



【図5】

【図5】



フロントページの続き

(72)発明者 菅原 良孝

大阪府大阪市北区中之島3丁目3番22号  
関西電力株式会社内

(72)発明者 浅野 勝則

大阪府大阪市北区中之島3丁目3番22号  
関西電力株式会社内

F ターム(参考) 4M104 AA10 BB14 CC03 DD26 DD43  
DD81 FF02 FF10 FF13 FF35  
GG03 HH18 HH20